



PATENT ABSTRACTS OF JAPAN

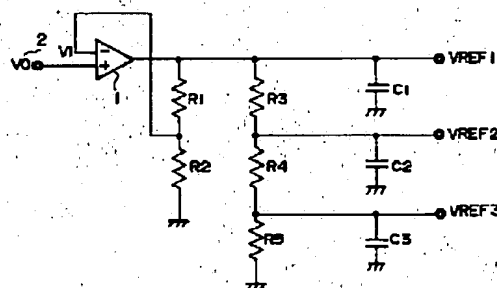
(11) Publication number: **11024766 A**(43) Date of publication of application: **29 . 01 . 99**

(51) Int. Cl.

**G05F 1/56
H03F 3/45**(21) Application number: **09172055**(71) Applicant: **NEC CORP**(22) Date of filing: **27 . 06 . 97**(72) Inventor: **ONO KAZUKI****(54) REFERENCE VOLTAGE GENERATOR****(57) Abstract:**

PROBLEM TO BE SOLVED: To efficiently generate a reference voltage without providing plural circuits by providing a 2nd reference voltage generating means for generating plural reference voltages separately from a voltage feedback means at the output of a differential amplifier.

SOLUTION: The desired voltage is extracted from a reference voltage VREF1 through resistance division while using divided resistors R3, R4 and R5. Besides, compensating capacitors C1, C2 and C3 are put in for stability. Besides, the required reference voltage is switched for the relation of $VREF1 > VREF2 > VREF3$. In this case, any one of divided resistors R3, R4 and R5 is arbitrarily selected so as to extract the arbitrary voltage. In this case, a capacitance is added only to the VREF1 on a route from the VREF1 through the resistor R1 to the minus input of a differential amplifier 1 inside the feedback loop of the differential amplifier 1 and added before resistance on the route so that feedback is not delayed.



COPYRIGHT: (C)1999,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-24766

(43) 公開日 平成11年(1999) 1月29日

(51) Int.Cl.⁸

G 0 5 F 1/56

H 0 3 F 3/45

識別記号

3 1 0

F I

G 0 5 F 1/56

H 0 3 F 3/45

3 1 0 X

B

審査請求 有 請求項の数 3 O L (全 5 頁)

(21) 出願番号 特願平9-172055

(22) 出願日 平成 9 年(1997) 6 月27日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72) 発明者 大野 一樹

東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

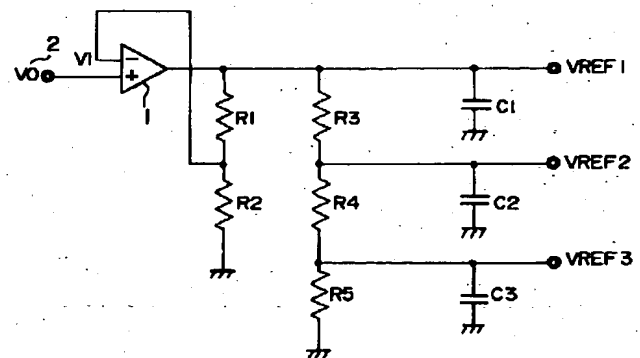
(74) 代理人 弁理士 京本 直樹 (外 2 名)

(54) 【発明の名称】 基準電圧発生装置

(57) 【要約】

【課題】 複数の基準電圧をチップサイズの増大を抑える発生させることを目的とする。

【解決手段】 差動増幅器の一方の入力端子には第 1 の基準電圧発生手段の出力が印加され、他方には前記差動増幅器の出力電圧に比例する電圧を発生する電圧帰還手段の出力が印加され、かつ前記差動増幅器の出力に前記電圧帰還手段とは別に複数の基準電圧を発生させる第 2 の基準電圧発生手段を備えていることにより、効率的に基準電圧を発生させる。



【特許請求の範囲】

【請求項1】 差動増幅器の一方の入力端子には第1の基準電圧発生手段の出力が印加され、他方には前記差動増幅器の出力電圧に比例する電圧を発生する電圧帰還手段の出力が印加され、かつ前記差動増幅器の出力に前記電圧帰還手段とは別の電圧経路を有する複数の基準電圧を発生させる第2の基準電圧発生手段を備えたことを特徴とする基準電圧発生回路。

【請求項2】 差動増幅回路と、前記差動増幅回路の第1の入力端に接続した基準電圧入力端子と、前記差動増幅回路の第2の入力端に接続した節点と、前記増幅回路の出力端に接続した第1の出力電圧端子と、前記節点と前記第1の出力電圧端子間に設けられた第1の抵抗と、前記節点と電源端子間に設けられた第2の抵抗と、前記第1の出力電圧端子と第2の出力電圧端子間に設けられた第3の抵抗と、前記第2の出力電圧端子と第3の出力電圧端子間に設けられた第4の抵抗と、前記第3の出力電圧端子と前記電源端子間に設けられた第5の抵抗とを有することを特徴とする基準電圧発生装置。

【請求項3】 前記第2の出力電圧端子と前記第3の抵抗の一端との間に設けられテスト信号に 응답して導通するスイッチ手段と、前記テスト信号に 응답して前記第2の出力電圧端子にテスト用電圧を供給する電圧供給回路を更に有することを特徴とする請求項2記載の基準電圧発生装置。

【発明の詳細な説明】

【発明の属する技術分野】 基準電圧発生装置に関し、特*

$$V1 = VREF \cdot R2 / (R1 + R2) \quad \dots \dots \dots (1)$$

の関係があり、差動増幅器は、2つの入力が一致するよ※ ※うに動作するので、最終的には、

$$V0 = V1 \quad \dots \dots \dots (2)$$

となり、所望の基準電圧VREFは、

$$VREF = V0 \cdot (R1 + R2) / R2 \quad \dots \dots \dots (3)$$

で求められる値になるので、R1、R2を調整することにより、所望の電圧を得られることになる。

【0003】 Cは容量で、VREFを安定させるための補償容量として入れてある。

【0004】

【発明が解決しようとする課題】 従来の基準電圧発生装置では、複数の異なる基準電圧が必要な場合は、図5に示したように、図4の60に相当する回路を61～63のように複数個半導体装置内に設け、それぞれのブロック内のR1とR2の比率を変えて、それぞれ異なる電圧を生成する必要があった。このため、必要な基準電圧が複数ある場合、その必要数分だけ発生回路が必要であり、抵抗を除き同一の回路を複数設ける必要があり、コストと密接に結び付いているチップサイズが大きくなってしまいうという問題点があった。

【0005】 差動増幅器の回路規模はそれほど大きくないが、特に抵抗は、大きな面積を必要とするためである。それは、消費電流を抑えるため抵抗値を大きくする

*に複数の基準電圧を効率的に発生する基準電圧発生装置に関する。

【0001】

【従来の技術】 基準電圧発生装置は、基準となる電圧を安定的に発生させるもので、半導体装置内部などで基準電圧を必要とする回路に基準電圧を供給するものである。基準電圧を発生させる回路は電圧、温度等の条件が変わっても一定の電圧を発生させなければならないため、通常任意の電圧を発生させることはできない。つまり、この回路は一定の電圧を発生させるだけのため、その出力電圧を使って所望の電圧を生成するためには更に差動増幅器と抵抗を使っている。

【0002】 例えば、特開昭62-274909に見られるような回路構成になる(図3に示す)。この公知例では、基準電圧発生源1が一定の電圧を電圧、温度等の条件が変化しても供給するもので、2が差動増幅器、Q101～Q364で選択されるR1～R64が抵抗である。この例では、トランジスタQ101～Q364で任意の抵抗比を選択できるようにしているが一定の電圧だけを生成する場合はなくてもよく、この公知例を簡略化したものが、図4である。この図では、V0が公知例のVref、VREFが公知例のVref2に対応し、1が公知例の2の作動増幅器に対応する。この簡略化した図で説明すると、ある特定の基準電圧V0は作動増幅器の一方に入力され、差動増幅器のもう一方には、出力であるVREFを抵抗分割したV1が入力される。この時、

$$V1 = VREF \cdot R2 / (R1 + R2) \quad \dots \dots \dots (1)$$

の関係があり、差動増幅器は、2つの入力一致するよ※ ※うに動作するので、最終的には、

$$V0 = V1 \quad \dots \dots \dots (2)$$

となり、所望の基準電圧VREFは、

$$VREF = V0 \cdot (R1 + R2) / R2 \quad \dots \dots \dots (3)$$

必要があるためである。例えば、図5のR1+R2が1000KΩの時、これらの抵抗を通して流れる電流は、1μAとなる。通常、低消費電流のためR1+R2は100KΩ～10MΩ程度の範囲で抵抗値を設定する。例えば1000KΩの抵抗をシリサイドで形成するとすると、シリサイドの単位矩形面積当り抵抗値が約10Ωとし、2μmの幅で200mmの長さが必要になることから大きな面積が必要になることが理解できる。

【0006】 図6に示したように図4のR1を細分化し、VREF2を生成したらよいのではないかと考えられるが、VREF2の電圧の安定化のために入れてある補償容量C2のため、差動増幅器にフィードバックする電圧V1が時定数R11・C2分遅れるため、差動増幅器に対する制御に遅れを生じさせ、発振現象を起こし、基準電圧として使えないものになってしまうことがある。

【0007】

【課題を解決するための手段】 本発明の基準電圧発生装

置は、差動増幅器の一方の入力端子には第1の基準電圧発生手段の出力が印加され、他方には前記差動増幅器の出力電圧に比例する電圧を発生する電圧帰還手段の出力が印加され、かつ前記差動増幅器の出力に前記電圧帰還手段とは別の電圧経路を有する複数の基準電圧を発生させる第2の基準電圧発生手段を備えている。

【0008】

【発明の実施の形態】次に本発明について図面を参照して説明する。図1は、本発明の一実施例の回路図である。前述した従来例と同じ構成部分は、同一の番号を付*10

$$VREF1 > VREF2 > VREF3 \quad \dots\dots\dots (4)$$

の関係になるように必要としている基準電圧を並び替える。
※ うに

$$VREF1 = V0 \cdot (R1 + R2) / R2 \quad \dots\dots\dots (5)$$

で計算される値となり、VREF2、VREF3をそれぞれ★ ★それぞれ

$$VREF2 = VREF1 \cdot (R4 + R5) / (R3 + R4 + R5) \quad \dots\dots (6)$$

$$VREF3 = VREF1 \cdot R5 / (R3 + R4 + R5) \quad \dots\dots (7)$$

で計算される値となる。ここで、R3、R4、R5を任意に選択することにより任意の電圧を取り出すことができる。この場合、差動増幅器のフィードバックループ内、即ち、VREF1からR1を通して差動アンプの（マイナス）入力に至る経路には、VREF1のみに容量が付いており、経路にある抵抗の手前に付いているためフィードバックに遅延を生ずることではない。

【0010】次に本発明の第2の実施例について、図2を基に説明する。実施例1では、常に一定の基準電圧を出力する場合は問題ないが、半導体装置の初期不良を取り除く試験であるスクリーニングのため、通常、高電圧をかけて加速試験を行う場合に問題が生じる場合がある。

【0011】例えば、半導体記憶装置において、VREF1が周辺回路用の電源電圧の基準電圧、VREF2がメモリセル用電源電圧の基準電圧といった場合、通常メモリセル容量の絶縁酸化膜は周辺回路のトランジスタの☆

$$VREF3 = VREF2 \cdot R5 / (R4 + R5) \quad \dots\dots\dots (8)$$

という式で求められる電圧になるが、式(5)とは関係なく独立した電圧を生成させることもVREF2と同様な回路を用いることにより可能である。TEST信号がロウレベルの時は、テスト用電圧発生回路の出力はハイインピーダンス状態になるようにすることにより、実施例1と同一の動作になる。

【0013】

【発明の効果】以上説明したように本発明は、差動増幅器の一方の入力端子には第1の基準電圧発生手段の出力が印加され、他方には前記差動増幅器の出力電圧に比例する電圧を発生する電圧帰還手段の出力が印加され、かつ前記差動増幅器の出力に前記電圧帰還手段とは別に複数の基準電圧を発生させる第2の基準電圧発生手段を備えることにより、回路を複数設けることなく効率的な基準電圧を発生させることが可能となっている。

* けている。この実施例では、3つの異なる基準電圧を発生させる場合を示してある。R1とR2はVREF1を生成するための分割抵抗で、R3、R4、R5はVREF1からVREF1より電位の低いVREF2、VREF3を生成するための分割抵抗である。また、C1、C2、C3は安定性のために入れてある補償容量である。この図において、従来と異なるところは、VREF1からR3、R4、R5を使って抵抗分割で所望の電圧を取り出すようにしている点である。また、

※ 【0009】この例では、VREF1は従来例と同じよ

☆ ゲート酸化膜の厚さより薄いため、加速係数が周辺回路とメモリセル部と異なる。従って、VREF1とVREF2の比率が通常時と加速試験時に変えないとしない場合に対応できないという問題がある。これは、VREF2が上記式(6)で決定され、VREF1に対して常に一定の比率を持つことから明確である。

【0012】そこで、実施例2では、抵抗R3とR4の間にスイッチとして動作するPchトランジスタP1を挿入し、加速試験時にハイレベルになるTESTという信号を入力することにより、VREF1とVREF2が電気的に切り離れた状態にできるようにしている。この時、テスト用電源発生回路8を設け、VREF2に供給することによりVREF1とVREF2が通常時と異なる比率を持つ電位になるようにした。図示はしていないが、V0も通常時とは異なる電圧を発生させることにより、VREF1を通常時とは異なる電圧にすることも可能である。この例では、VREF3は

◆ 【0014】このような構成にすることにより、複数の基準電圧が必要な場合、その必要数の基準電圧発生回路が必要だったのが、従来の回路に加え第2の基準電圧発生回路という簡単な構成で複数の基準電圧が発生できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の回路図。

【図2】本発明の第2の実施例の回路図。

【図3】従来例を示す回路図。

【図4】従来例を単純化した回路図。

【図5】従来技術による複数の基準電圧発生回路の例。

【図6】従来技術による他の複数の基準電圧発生回路の例。

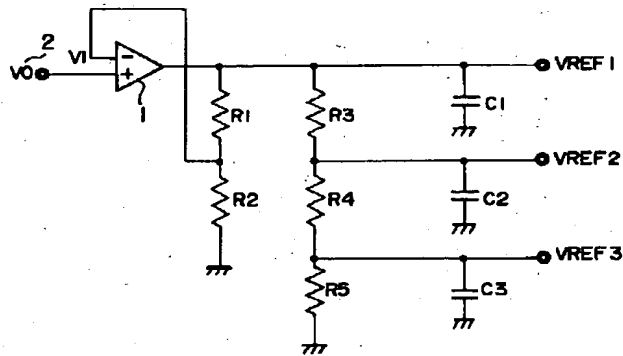
【符号の説明】

1 差動増幅器

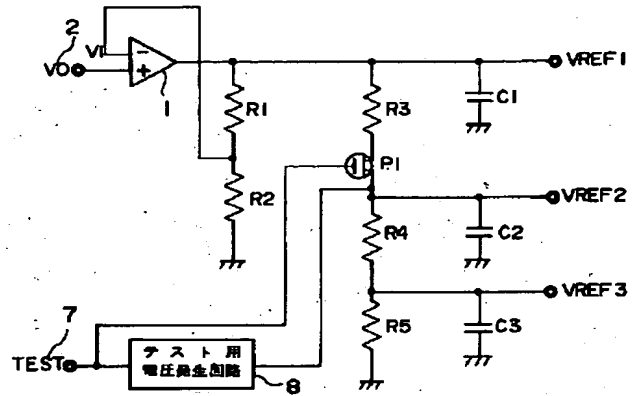
2 第1の基準電圧
 31~35, 311, 312 抵抗
 40~43 電圧補償容量
 50~53 生成した基準電圧

* 60~63 基準電圧発生回路
 7 テスト信号
 8 テスト用電圧発生回路
 * 9 P-チャネルトランジスタ

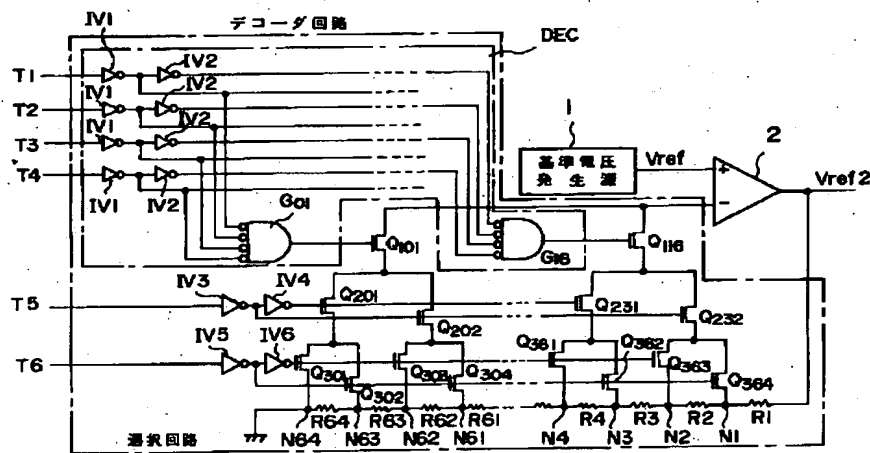
【図1】



【図2】

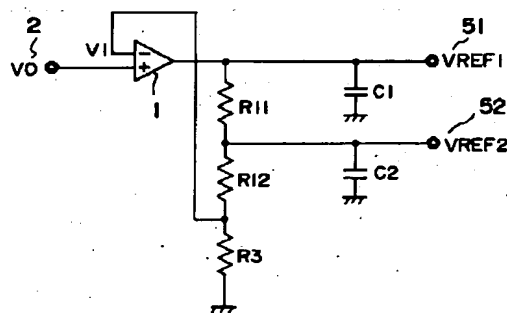
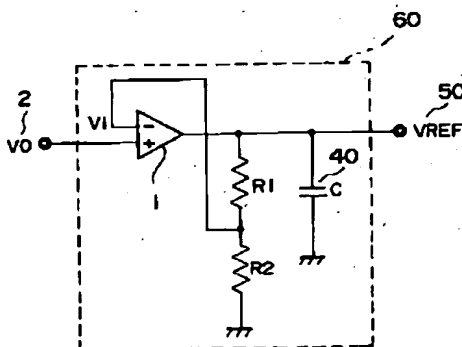


【図3】



【図4】

【図6】



【図 5】

